

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-160832
(P2001-160832A)

(43)公開日 平成13年6月12日(2001.6.12)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 4 L 25/40		H 0 4 L 25/40	C 5 J 1 0 6
H 0 3 L 7/16		H 0 3 L 7/16	5 K 0 2 9
H 0 4 L 25/49		H 0 4 L 25/49	H

審査請求 未請求 請求項の数11 O L (全 9 頁)

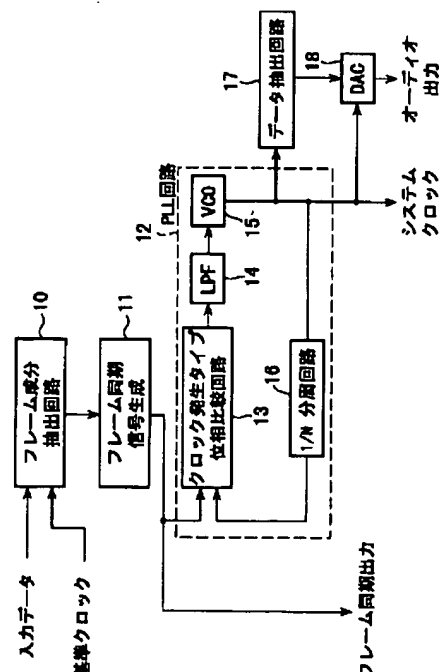
(21)出願番号	特願平11-342356	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年12月1日(1999.12.1)	(72)発明者	小島 能成 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外6名)
		Fターム(参考)	5J106 PP05 QQ07 RR01 5K029 AA01 CC04 HH26 LL10 LL19

(54)【発明の名称】 シリアルデータ受信回路およびシリアルデータ処理装置

(57)【要約】

【課題】デジタルオーディオシステムにおいて、シリアルデータ入力中のヘッダ部分を抽出して生成したフレーム同期信号を参照信号としてジッタの少ないPLL出力クロックを生成し、システムクロックとして使用する。

【解決手段】一定周期のフレーム毎にPWM方式のシリアルデータ部分のほかに最大パルス幅を有する特殊情報部分を含むシリアルデータ入力から、基準クロック信号を用いて最大パルス幅部分を抽出し、一定周期のフレーム成分信号を出力するフレーム成分抽出回路10と、フレーム成分信号に同期してフレーム同期信号を生成するフレーム同期信号生成回路11と、フレーム同期信号を参照信号とするクロック発生タイプの位相比較回路を使用したPLL回路12とを具備し、半導体集積回路チップ上に形成されてなる。



【特許請求の範囲】

【請求項1】 一定周期のフレーム毎にPWM方式のシリアルデータ部分のほかに最大パルス幅を有する特殊情報部分を含むシリアルデータ入力から、基準クロック信号を用いて最大パルス幅部分を抽出し、一定周期のフレーム成分信号を出力するフレーム成分抽出回路と、前記フレーム成分抽出回路で抽出したフレーム成分信号に同期してフレーム同期信号を生成するフレーム同期信号生成回路とを具備することを特徴とするシリアルデータ受信回路。

【請求項2】 前記フレーム成分抽出回路は、前記シリアルデータ入力の論理レベルに応じてカウント動作のイネーブル／ディセーブル制御が行われ、イネーブル状態の時に基準クロックをカウントする基準クロックカウンタと、初期値としてある定数がセットされ、+1カウント入力あるいは-1カウント入力に応じてカウント動作を行うプログラマブルカウンタと、前記基準クロックカウンタのカウント出力と前記プログラマブルカウンタの出力との大小関係を比較し、同値、基準クロックカウンタ出力の大小に応じて3つの比較出力equal、large、lessを出力する比較回路と、前記シリアルデータ入力に基づいて取り込み周期制御信号を定期的に生成する取り込み周期生成回路と、前記比較回路の比較出力を前記取り込み周期制御信号により規定される一定の周期毎に取り込んで判定を行い、判定結果を出力する比較結果判定回路とを具備することを特徴とする請求項1記載のシリアルデータ受信回路。

【請求項3】 前記基準クロックの周波数は、前記シリアルデータ入力のデータビットレートの6倍以上であり、前記比較結果判定回路は、前記比較回路による一定回数の比較毎に前記比較出力を取り込むことを特徴とする請求項2記載のシリアルデータ受信回路。

【請求項4】 前記プログラマブルカウンタに初期値としてセットされる定数は、前記基準クロックカウンタのカウント出力の最大値に等しいことを特徴とする請求項2または3記載のシリアルデータ受信回路。

【請求項5】 前記取り込み周期生成回路は、前記シリアルデータ入力の“H”レベルを一定回数カウントする毎に出力が零に戻るタイプのカウンタからなり、前記カウンタの最終段出力を前記取り込み周期制御信号として出力することを特徴とする請求項2乃至4のいずれか1項に記載のシリアルデータ受信回路。

【請求項6】 請求項1乃至5のいずれか1項に記載のシリアルデータ受信回路と、前記フレーム同期信号生成回路で生成されたフレーム同期信号を参照信号として位相同期したクロック信号を生成する位相同期ループ回路とを具備することを特徴とするシリアルデータ処理装置。

【請求項7】 前記位相同期ループ回路で生成されるクロックをシステムクロックとして使用して前記シリアルデータ入力から特殊な情報部分およびデータ部のデータの抽出を行なうデータ抽出回路をさらに具備することを特徴とする請求項6記載のシリアルデータ処理装置。

【請求項8】 前記データ抽出回路で抽出されたデジタルデータを前記システムクロックを使ってデジタルアナログ変換するデジタルアナログ変換回路をさらに具備することを特徴とする請求項7記載のシリアルデータ処理装置。

【請求項9】 前記シリアルデータ入力はディジタルオーディオデータであり、前記データ抽出回路はデジタルシグナルプロセッサに設けられていることを特徴とする請求項7または8記載のシリアルデータ処理装置。

【請求項10】 前記フレーム同期信号生成回路は、前記シリアルデータ受信回路で抽出した一定周期のフレーム成分の信号に同期したサイクル密度100%のクロックを生成することを特徴とする請求項6記載のシリアルデータ処理装置。

【請求項11】 前記位相同期ループ回路は、前記フレーム同期信号を参照信号とするクロック発生タイプの位相比較回路と、前記位相比較回路の出力側に接続されたロウパスフィルタと、前記ロウパスフィルタの出力側に接続された電圧制御発振回路と、前記電圧制御発振回路の出力信号を1/Nに分周して前記位相比較回路の比較入力として供給する1/N分周回路とからなることを特徴とする請求項6乃至10のいずれか1項に記載のシリアルデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリアルデータ受信回路およびそれを用いたシリアルデータ処理装置に係り、特にシリアルデータの各フレームの特殊情報部分を抽出するフレーム抽出回路およびその抽出信号を参照するPLL（位相同期ループ）回路に関するもので、例えばデジタルオーディオシステムのようなシリアルデータ伝送システムに使用されるものである。

【0002】

【従来の技術】シリアルデータ伝送を行うシステムとして、例えば光ケーブルを用いてデジタルオーディオデータを伝送するデジタルオーディオシステムがある。

【0003】図7は、デジタルオーディオインターフェースに用いられているIEC958準拠のシリアルデータの転送フォーマットの一例を示している。

【0004】このシリアルデータ転送フォーマットは、一定周期の各フレーム毎に、シリアルなプリアンブル情報Preambleと例えば16ビットの標準化データDATAあるいはそのエンコードデータを含むソースコーディングデ

ータをビットレートクロックを用いてバイフェーズマーク変調するPWM方式を採用している。

【0005】この場合、ビットレートクロックの“H”レベルの期間(半サイクル)をTで表わすと、各フレームのデータ部分のパルス幅は1Tあるいは2Tのいずれかであるが、各フレームのプリアンプル情報Preambleのうちで先頭を表わすヘッダ部分(あるいは特殊な情報が含まれている部分)のパルス幅は3Tを持つ。

【0006】図8は、従来のデジタルオーディオシステムの一例を示すブロック図である。PLL回路81は、図7に示したようなIEC958準拠のシリアルデータ入力を参照信号とし、シリアルデータ入力に同期してビットレートクロックよりも十分速いシステムクロックを生成する。

【0007】DSP(デジタルシグナルプロセッサ)82は、前記システムクロックを使って前記シリアルデータ入力からヘッダ部の情報およびデータ部のデータの抽出を行なう。

【0008】DAC(デジタルアナログコンバータ)83は、前記DSP82で抽出されたデジタルデータを前記システムクロックを使ってDA変換し、アナログオーディオ信号を復調する。

【0009】図9は、図8中のPLL回路81の一例を示すブロック図である。

【0010】このPLL回路は、前記シリアルデータ入力(PWMデータ)を参照信号とするクロック再生タイプ(クロックリカバリータイプ)の位相比較回路84と、この位相比較回路84の出力側に接続されたLPF(ローパスフィルタ)85と、このLPF85の出力側に接続されたVCO(電圧制御発振回路)86と、このVCO86の出力信号を分周して前記位相比較回路84の比較入力として供給する帰還ループとからなる。

【0011】このPLL回路により、シリアルデータ入力に同期し、かつ、そのビットレートよりも十分速い(伝送データレート以上の)システムクロックを生成することができる。

【0012】図10(a)は、図9中のクロック再生タイプの位相比較回路84の一例を示す回路図である。図10(b)は、同図(a)の動作例を示すタイミング波形図である。

【0013】図10(a)に示すクロック再生タイプのセルフアライン型の位相比較回路は、シリアルデータ通信などによく使用されており、参照信号と比較入力との位相差に応じてアップ(UP)信号あるいはダウン(DN)信号が出力し、位相差が零の場合にはアップ信号とダウン信号のパルス幅が等しくなる論理回路91と、この論理回路91から出力するアップ信号UPおよびダウン信号DNが入力するチャージポンプ回路(Charge Pump)92とからなる。チャージポンプ回路92は、信号UPとDNに応じて振幅が変化する3値レベルのチャージポンプ出力信号C.O.を

生成する。この出力信号C.O.は、図9中に示したLPF85によりVCO制御電圧に変換される。

【0014】しかし、上記したような従来のデジタルオーディオシステムに使用されているシリアルデータ受信回路は、以下に述べるような問題点がある。

【0015】即ち、シリアルデータ入力からヘッダ情報を検出するためには、まず、PLL回路81が動作して入力データに同期したシステムクロックを生成しなければならない。したがって、ヘッダ部分の抽出のみが必要な場合には大変冗長な回路となり、回路規模的に不利である。

【0016】なお、このような問題点は、前述したデジタルオーディオインターフェースで使用されるIEC958準拠のシリアルデータ転送フォーマットに限らず、各フレームのヘッダ部分あるいは特殊な情報が含まれている部分のみに最大パルス幅を持つようなPWM方式のシリアルデータ転送フォーマットを取り扱う場合には共通する。

【0017】また、上記したような従来のデジタルオーディオシステムは、PWMデータとの位相比較を行なうクロック再生タイプのセルフアライン型の位相比較回路84を用いてPLL回路81を構成している。これにより、PLL回路81の定常状態(安定状態)においても位相比較回路84が3値レベルのC.O.信号を出力し続け、PLL回路81の過渡状態の認識は定常状態の出力との比較によって行なわれるので、PLL出力クロックのジッタ成分がある程度以上は抑制することができない。

【0018】このようなジッタ成分を有するPLL出力クロックを使用してシリアルデータの再生を行うのは問題ないが、PLL出力クロックをオーディオ出力段のDAC(例えば1ビットDAC)83でマスタークロックとして使用すると、アナログ出力の歪みが増大し、オーディオ信号の再生音の音質の劣化を招く場合がある。

【0019】即ち、ジッタ成分を有するPLL出力クロックをジッタに弱い動作特性を有する回路でマスタークロックとして使用する場合には、マスタークロックのジッタがシステム全体の動作特性、性能に悪影響を及ぼすことが懸念される。つまり、マスタークロックのジッタが悪影響を及ぼすことがあるようなシステムでは、前記したようなPLL出力クロックをマスタークロックとして使用することは不利であった。

【0020】

【発明が解決しようとする課題】上記したように従来のデジタルオーディオシステムに使用されているシリアルデータ受信回路は、シリアルデータ入力中のヘッダ部分のように一定周期で必ず現れる成分のみの抽出が必要な場合には大変冗長な回路となり、回路規模的に不利であるという問題があった。

【0021】また、従来のデジタルオーディオシステムは、PLL出力クロックのジッタ成分がある程度以上は抑制することができず、PLL出力クロックをマスター

クロックとして使用するDACの動作特性がクロックのジッタに弱い場合には、システム全体の動作特性、性能に悪影響を及ぼすことが懸念されるという問題があった。

【0022】本発明は上記の問題点を解決すべくなされたもので、シリアルデータ入力中の各フレーム毎のヘッダ部分のように一定周期で必ず現れる成分のみを抽出する場合の構成を単純化し得るシリアルデータ受信回路を提供することを目的とする。

【0023】また、本発明は、シリアルデータ入力中の各フレーム毎のヘッダ部分のように一定周期で必ず現れる成分を抽出して生成したフレーム同期信号を参照信号とし、PLL回路によりジッタの少ないクロック出力を生成でき、ジッタの少ないPLL出力クロックをシステムクロックとして使用でき、システム特性上有利となるシリアルデータ処理装置を提供することを目的とする。

【0024】

【課題を解決するための手段】本発明のシリアルデータ受信回路は、一定周期のフレーム毎にPWM方式のシリアルデータ部分のほかに最大パルス幅を有する特殊情報部分を含むシリアルデータ入力から最大パルス幅部分を抽出し、一定周期のフレーム成分信号を出力するフレーム成分抽出回路と、前記フレーム成分抽出回路で抽出したフレーム成分信号に同期してフレーム同期信号を生成するフレーム同期信号生成回路とを具備することを特徴とし、例えば半導体集積回路チップ上に形成されてなるものである。

【0025】本発明のシリアルデータ処理装置は、本発明のシリアルデータ受信回路と、前記シリアルデータ受信回路で生成されたフレーム同期信号を参照信号として位相同期したクロック信号を生成する位相同期ループ回路とを具備することを特徴とし、例えば半導体集積回路チップ上に形成されてなるものである。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0027】＜第1の実施の形態＞図1は、本発明の第1の実施の形態に係るシリアルデータ受信回路およびそれを用いたデジタルオーディオ信号処理装置の一例を示している。

【0028】本発明で取り扱うシリアルデータは、各フレームのヘッダ部分のように特殊な情報が含まれている部分を認識するための特徴として、その部分のみに最大パルス幅を持ち、他の部分は通常のデータビットレートに準じたパルス幅になっているPWM方式のシリアルデータ転送フォーマットを有する。

【0029】図1において、シリアルデータ入力は、例えば図7に示したような転送フォーマットを有するIEC958準拠のデータであり、このフォーマットでは、データ部分のパルス幅は1Tあるいは2Tのいずれかであり、

プリアンブル期間のヘッダ部分のパルス幅は3Tであるので、各フレーム毎に最大パルス幅を有する3T部分を検出することによりフレーム成分を抽出することが可能である。

【0030】フレーム成分抽出回路（プリアンブル抽出回路、ヘッダ抽出回路、最大パルス幅検出回路）10は、基準クロックを用いてシリアルデータ入力の3T部分（フレーム成分、ヘッダ部分、最大パルス幅部分）を抽出するものである。

10 【0031】フレーム同期信号生成回路11は、上記フレーム成分抽出回路10の出力信号に基づいて、前記シリアルデータ入力のフレーム成分を表わす一定周期（プリアンブル周期）に同期した例えばサイクル密度100%のクロックをフレーム同期信号として生成するものである。なお、上記フレーム同期信号生成回路11は、生成クロックの周波数をプリアンブル周期の1/2、1/4などに設定することも可能である。

20 【0032】PLL回路（位相同期ループ回路）12は、上記フレーム同期信号を参照信号とする位相比較回路13と、この位相比較回路13の出力側に接続されたLPF14と、このLPF14の出力側に接続されたVCO15と、このVCO15の出力信号を1/Nに分周して前記位相比較回路13の比較入力として供給する1/N分周回路16とからなる。

30 【0033】上記LPF14は、例えばCR素子あるいは演算増幅回路を用いて構成したものである。そして、前記位相比較回路13は、参照信号と比較入力との位相差が存在する場合には参照信号と比較入力との位相差に応じた時間幅のパルス信号が出力し、参照信号と比較入力との位相差が零の場合には出力が一定レベル（あるいは高インピーダンス状態）になるクロック発生タイプのものである。

【0034】データ抽出回路17は、例えばDSPに設けられるものであり、前記システムクロックを使って前記シリアルデータ入力からヘッダ部の情報およびデータ部のデータの抽出を行なう。

40 【0035】DAC18は、前記データ抽出回路17で抽出されたデジタルデータを前記システムクロックを使ってDA変換し、アナログオーディオ信号を復調するものであり、例えば1ビット型DACである。

【0036】このような構成により、前記フレーム同期信号に同期し、かつ、シリアルデータ入力のビットレートよりも十分速い（伝送データレート以上の）システムクロックを生成することができる。

【0037】図2は、図1中のフレーム成分抽出回路10の一例を示すブロック図である。

【0038】図3は、図2中の基準クロックカウンタ21のシリアルデータ入力と基準クロックとの関係の一例を示すタイミング波形図である。

50 【0039】図2に示すフレーム成分抽出回路におい

て、基準クロックカウンタ21は、イネーブル制御入力端ENに入力するシリアルデータの論理レベルに応じてカウント動作のイネーブル／ディセーブル制御が行われ、イネーブル状態の時にクロック入力端に入力する基準クロックをカウントするものである。

【0040】前記基準クロックの周波数は、後述する理由から、図3に示すようにシリアルデータ入力のデータビットレートの6倍以上あればよく、シリアルデータ入力のデータに同期している必要はない。

【0041】プログラマブルカウンタ22は、初期値としてある定数がセットされ、+1カウント入力あるいは-1カウント入力に応じてカウント動作を行うものであり、上記定数は基準クロックカウンタ21のカウント出力の最大値（本例では後述する理由から9以上）に等しいことが望ましい。

【0042】カウント値比較回路23は、前記基準クロックカウンタ21のカウント出力CNT1と前記プログラマブルカウンタ22の出力CNT2との大小関係と比較し、同値（CNT1=CNT2）、基準クロックカウンタ出力大（CNT1>CNT2）、基準クロックカウンタ出力小（CNT1<CNT2）に応じて3つの比較出力equal、large、lessを出力する。

【0043】取り込み周期生成回路24は、前記シリアルデータ入力に基づいて取り込み周期制御信号を定期的（本例では後述するように64回の比較毎）に生成するものであり、例えばシリアルデータ入力の“H”レベルをフルカウント（本例では64回カウント）する毎に出力が零に戻るタイプのカウンタが用いられている。

【0044】比較結果判定回路25は、前記カウント値比較回路23から出力する3つの比較出力を前記取り込み周期制御信号により規定される一定の周期毎に取り込んで判定を行い、判定結果をフラグ生成回路26あるいは前記プログラマブルカウンタ22に出力するものである。

【0045】図4（a）～（c）は、図2中の比較結果判定回路25およびプログラマブルカウンタ22のカウント動作の一例を示しており、以下、これについて説明する。

【0046】図4（a）に示すように、比較出力にlargeが存在せず、equalが存在する場合には、equalをラッチしてフラグ生成回路26に供給する。

【0047】また、図4（b）に示すように、比較出力にlargeが存在する場合には、largeをラッチしてプログラマブルカウンタ22の+1カウント入力として供給する。

【0048】また、図4（c）に示すように、比較出力にlarge、equalが存在せず、lessが存在する場合には、lessをラッチしてプログラマブルカウンタ22の-1カウント入力として供給する。

【0049】なお、前記フラグ生成回路26は、比較出力equalが供給されると、フレーム成分フラグを生成して後段回路に出力するものである。

【0050】図5は、図2のフレーム成分抽出回路の動作例を示すフローチャートであり、以下、このフローチャートを参照しながら図2のフレーム成分抽出回路の動作について説明する。

【0051】まず、プログラマブルカウンタ22に、ある定数を初期値としてセットしておく。このセット値は、本例では後述する理由から9以上でなければならない。

【0052】次に、シリアルデータ入力の“H”レベルの期間にイネーブル状態に制御される基準クロックカウンタ21により基準クロックをカウントし、このカウント値CNT1とプログラマブルカウンタ22のセット値CNT2とをカウント値比較回路23で比較する。このカウント値比較回路23による比較そのものは、大小あるいは同値のいずれかが分かればよく、このカウント値比較回路23から出力する比較結果は、取り込み周期制御信号により規定される一定の取り込み周期で比較結果判定回路25に取り込まれる。

【0053】この比較結果判定回路25は、判定結果をラッチし、判定結果がequalであれば、フラグ生成回路26からフレーム成分フラグを出力させるように制御する。この時、プログラマブルカウンタ22のセット値は保持したままである。また、判定結果がlargeであれば、プログラマブルカウンタ22のセット値を1だけ増加させ、lessであれば、プログラマブルカウンタ22のセット値を1だけ減少させる。

【0054】上記したような一連の動作を繰り返すことによって、最終的に比較結果判定回路25のラッチ結果は、比較出力がequalの状態に落ち着くようになり、そのうちプリアンブル毎にフレーム成分フラグが出力されるようになる。

【0055】換言すれば、プログラマブルカウンタ22の初期のセット値が基準クロックカウンタ値と比較された結果、必要であればプログラマブルカウンタ22のセット値を更新して以後の比較判定基準となる。この際、プログラマブルカウンタ22の初期のセット値として基準クロックカウンタ値の最大値をセットしておけば、比較判定基準として基準クロックカウンタ値の最大値に早く収束させることが可能になる。

【0056】なお、上記したように比較出力がequalの状態に収束した後は、プログラマブルカウンタ22の1クロックカウンタエラーを考慮して、セット値±1は同値とみなすような回路を設けておくことにより、安定したプリアンブル検出が可能になるようにしている。

【0057】ここで、上記説明中の各パラメータの数値に関する説明を加える。

【0058】（イ）「プログラマブルカウンタ22のセット値は9以上でなければならない」点について。

【0059】デジタルオーディオインターフェースに用いられているIEC958準拠のシリアルデータの転送フォーマットは、データを表わすパルス幅が1Tと2T、プリ

アンプルを表すパルス幅が3Tである。

【0060】最終的に比較出力がequalの状態に安定した時の1Tに相当するカウント数をn(正数)とすると、2T、3Tに相当するカウント数はそれぞれ2n、3nである。この2nと3nの区別をつけるためには、1クロックカウントエラーをそれぞれに考慮した場合を考えても、 $(3n-1) > (2n+1)$ の条件は満たされなければならない。したがって、この条件を満たす最小のnは3であることから、2Tと3Tの区別をつけるためには、3T区間に最低9クロックなければならない。

【0061】(ロ)「基準クロックはデータビットレートの6倍以上でなければならない」点について。

【0062】前述した(イ)から、基準クロックはデータビットレートの“H”レベル期間(1T)に3クロック存在しなければならないので、データビットレートに対して6倍以上のクロックでなければならない。

【0063】(ハ)「比較結果判定回路25は定期的に比較結果を取り込む」点について。

【0064】デジタルオーディオインターフェースの場合、プリアンプルから次のプリアンプルまでの間に存在するパルスの数(“H”レベル期間の個数)は多くとも64であるから、カウント値比較回路23が比較動作を64回行う間には最低1つのプリアンプルが存在することになる。したがって、この64回の比較動作を行う間隔で比較結果の取り込み・比較判定基準の更新を行えば、比較結果を取り込んで判定したラッチ出力には、必ずプリアンプルでの比較結果が反映されていることになる。

【0065】図6(a)は、図1中のPLL回路12で使用されている位相比較回路13の一例としてモトローラ社(米国)提案の回路を示す。

【0066】図6(b)は、図6(a)の動作例を示すタイミング波形図である。

【0067】この位相比較回路は、参照信号と比較入力との位相差が存在する場合には参照信号と比較入力との位相差に応じた時間幅のパルスを含むアップ信号/UPあるいはダウン信号/DOWNを出力し、位相差が零の場合には信号/UPおよび信号/DOWNの出力レベルが一定レベルになる論理回路60と、この論理回路60から出力する信号/UPおよび信号/DOWNが入力し、これらを逆相で合成したチャージポンプ出力信号C.0(位相差が零の場合には一定レベルになる信号)を生成するチャージポンプ回路70とからなる。このチャージポンプ回路61の出力信号C.0は、図1中のPLL回路12内のLPF14によりVCO制御電圧に変換される。

【0068】なお、前記論理回路60は、参照信号(フレーム同期信号)refが一方の入力となる二入力の第1のナンドゲート61と、このナンドゲート61の出力がセット(S)入力となるSR型の第1のフリップフロップ回路62と、比較信号(1/N分周出力信号)varが一方の入

力となる二入力の第2のナンドゲート63と、このナンドゲート63の出力がセット入力となるSR型の第2のフリップフロップ回路64と、これらの2個のナンドゲート61、63の出力および2個のフリップフロップ回路62、64の出力が入力する四入力の第3のナンドゲート65と、この第3のナンドゲート65の出力と前記第1のナンドゲート61の出力と前記第1のフリップフロップ回路62の出力が入力する三入力の第4のナンドゲート66と、前記第3のナンドゲート65の出力と前記第2のナンドゲート63の出力と前記第2のフリップフロップ回路64の出力が入力する三入力の第5のナンドゲート67とからなり、前記第4のナンドゲート66の出力は前記信号/UPであり、前記第5のナンドゲート67の出力は前記信号/DOWNである。

【0069】なお、前記第3のナンドゲート65の出力は前記2個のフリップフロップ回路62、64のリセット

(R)入力となり、前記第4のナンドゲート66の出力は前記第1のナンドゲート61の他方の入力となり、前記第5のナンドゲート67の出力は前記第2のナンドゲート63の他方の入力となる。

【0070】このモトローラ型位相比較回路の動作はよく知られているので、その説明を省略する。

【0071】上記第1の実施の形態で使用されているシリアルデータ受信回路によれば、PWM方式のシリアルデータ入力から最大パルス幅部分を検出するフレーム成分抽出回路10を構成しているので、ヘッダ部分が最大パルス幅を有するシリアルデータ入力に対しては、従来例よりも簡単な回路構成によって最初にヘッダ部分の検出を行うことができる。

【0072】また、上記第1の実施の形態のデジタルオーディオ信号処理装置によれば、本発明のシリアルデータ受信回路で抽出した一定周期のフレーム成分に基づいて生成したフレーム同期信号を参照信号とし、比較信号との位相差が零の場合には一定レベルになる信号を発生するクロック発生タイプの位相比較回路13を採用してPLL回路12を構成しているので、PLL出力クロックのジッタを従来方式のPLL回路よりも抑えることができる。

【0073】したがって、使用クロックのジッタが悪影響を及ぼすことがあるようなシステム(つまり、ジッタが極力少ないクロックを必要とするシステム)の場合、前記したようにジッタの少ないPLL出力クロックをシステムクロックとして使用することにより、システム特性上有利となる。

【0074】なお、本発明のシリアルデータ受信回路は、デジタルオーディオインターフェースに限らず、各フレーム毎に最大パルス幅部分を検出するものであり、最大パルス幅がヘッダ部分などの特殊条件を表わすようなシリアルデータであれば、どのようなものにも適用できる。

【0075】また、本発明のシリアルデータ処理装置は、デジタルオーディオインターフェースに限らず、同

期ヘッダが一定周期で現れるシリアルデータ転送フォーマットの信号を処理する際に、ジッタの少ないデータに同期したクロックをマスタクロックとして要求するシステムに適用して効果的である。

【0076】

【発明の効果】上述したように本発明のシリアルデータ受信回路によれば、シリアルデータ入力中の各フレーム毎のヘッダ部分のように一定周期で必ず現れる成分のみを抽出する場合の構成を簡単化することができ、抽出したヘッダ部分からフレーム同期をとるシステムに好適である。

【0077】また、本発明のシリアルデータ処理装置によれば、シリアルデータ入力中の各フレーム毎のヘッダ部分のように一定周期で必ず現れるフレーム成分を抽出して生成したフレーム同期信号を参照信号とし、PLL回路によりジッタの少ないクロック出力を生成できる。したがって、シリアルデータ入力のデータ列に同期したクロックをシステムクロックとして要求するシリアルデータ処理装置において、PLL出力クロックをシステムクロックとして使用でき、システム特性上有利となる。

【図面の簡単な説明】

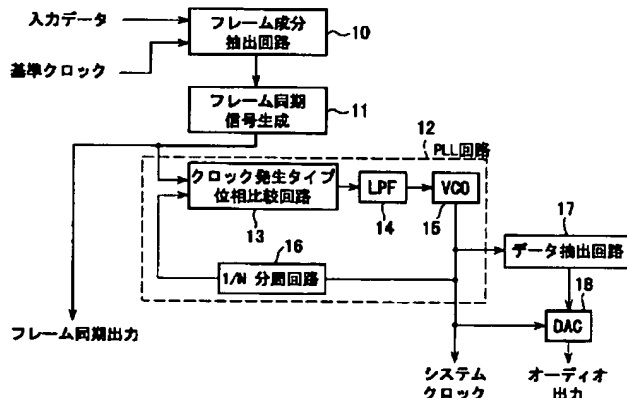
【図1】本発明の第1の実施の形態に係るシリアルデータ受信回路およびそれを用いたデジタルオーディオ信号処理装置の一例を示すブロック図。

【図2】図1中のフレーム成分抽出回路の一例を示すブロック図。

【図3】図2中の基準クロックカウンタのシリアルデータ入力と基準クロックとの関係の一例を示すタイミング波形図。

【図4】図2中の比較結果判定回路の動作例を示す図。

【図1】



【図5】図2のフレーム成分抽出回路の動作例を示すフローチャート。

【図6】図1中のPLL回路で使用されている位相比較回路の一例を示す回路図および動作例を示すタイミング波形図。

【図7】デジタルオーディオインターフェースに用いられているIEC958準拠のシリアルデータの転送フォーマットの一例を示す図。

【図8】従来のデジタルオーディオシステムの一例を示すブロック図。

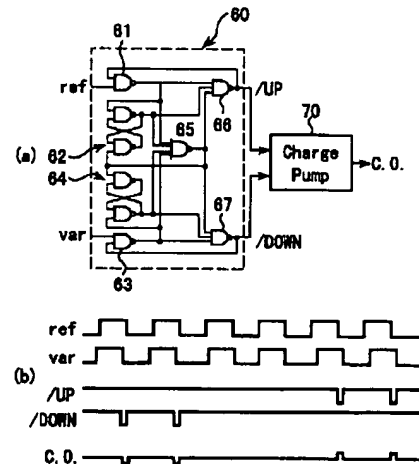
【図9】図8中のPLL回路の一例を示すブロック図。

【図10】図9中のクロック再生タイプのセルフアライン型の位相比較回路の一例を示す回路図および動作例を示すタイミング波形図。

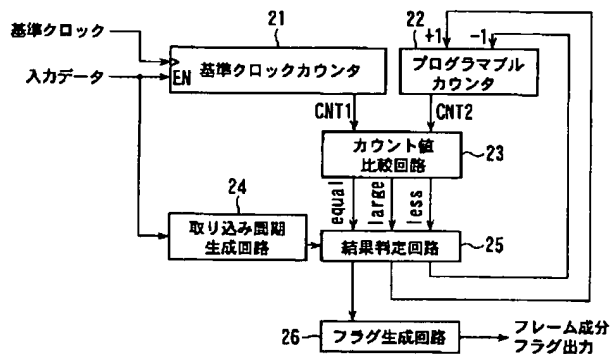
【符号の説明】

- 10…フレーム成分抽出回路、
- 11…フレーム同期信号生成回路、
- 12…PLL回路、
- 13…クロック発生タイプの位相比較回路、
- 14…LPF、
- 15…VCO、
- 16…1/N分周回路、
- 17…データ抽出回路、
- 18…DAC、
- 21…基準クロックカウンタ、
- 22…プログラマブルカウンタ、
- 23…カウント値比較回路、
- 24…取り込み周期生成回路、
- 25…比較結果判定回路、
- 26…フラグ生成回路。

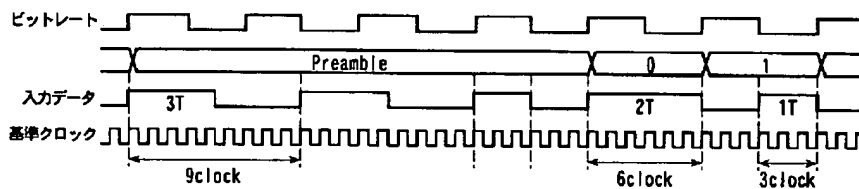
【図6】



【図2】



【図3】



【図4】

判定結果=同値の場合の例

比較回数	比較結果			判定 Judge	動作 ±
	less	equal	large		
1	○	×	×	less	-1
2	○	×	×		
...		
37	○	×	×		
38	○	○	×	equal	0
39	○	×	×		
40	○	×	×		
41	○	×	×		
42	○	×	×		
43	○	×	×		
44	○	×	×		
取り込み結果		equal			0

(a)

判定結果=largeの場合の例

比較回数	比較結果			判定 Judge	動作 ±
	less	equal	large		
1	○	×	×	less	-1
2	○	×	×		
...		
37	○	×	×		
38	○	○	○	large	+1
39	○	×	×		
40	○	×	×		
41	○	×	×		
42	○	×	×		
43	○	×	×		
44	○	×	×		
取り込み結果			large		+1

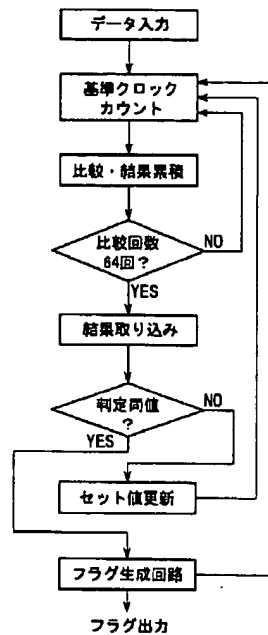
(b)

判定結果=lessの場合の例

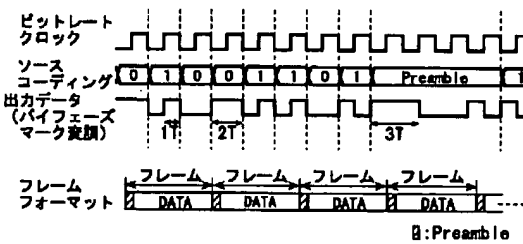
比較回数	比較結果			判定 Judge	動作 ±
	less	equal	large		
1	○	×	×	less	-1
2	○	×	×		
...		
37	○	×	×		
38	○	×	×		
39	○	×	×		
40	○	×	×		
41	○	×	×		
42	○	×	×		
43	○	×	×		
44	○	×	×		
取り込み結果			less		-1

(c)

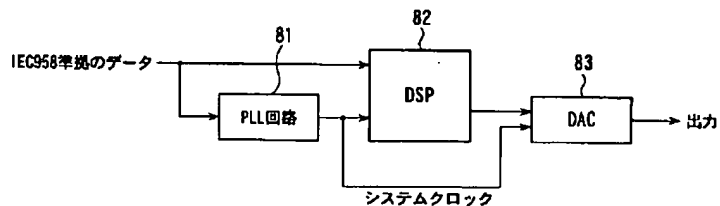
【図5】



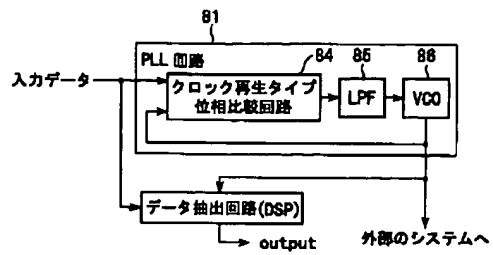
【図7】



【図8】



【図9】



【図10】

